

700 V VDMOS 终端失效分析与优化设计

干红林, 冯全源, 王 丹

(西南交通大学 微电子研究所, 四川 成都 610031)

摘 要: 通过电测、微光显微镜(EMMI)漏电流定位和扫描电子显微镜(SEM)形貌分析等手段,对一款 700 V 垂直双扩散金属氧化物半导体(VDMOS)器件进行失效分析(FA)。基于 Sentaurus TCAD 仿真平台进行验证,找到击穿电压失效的主要原因。在改进终端结构的过程中,通过对电流密度、电场、静电势和空间电荷等仿真模型的分析,进一步发现造成耐压不足的场板(FP)结构问题,并提出有效的改进办法。最终,经过优化得到一款耐压 770 V、硅表面电场分布均匀可靠的终端结构。

关键词: 垂直双扩散金属氧化物半导体器件;失效分析;微光显微镜;终端结构

中图分类号: TN386;TN406

文献标识码: A

文章编号: 1000-7180(2015)03-0086-04

Failure Analysis and Optimum Design of 700 V VDMOS Termination

GAN Hong-lin, FENG Quan-yuan, WANG Dan

(Institute of Microelectronics, Southwest Jiaotong University, Chengdu 610031, China)

Abstract: By means of electrical tests, emission microscopy (EMMI) leakage current location and scanning electron microscope (SEM) morphology analysis, failure analysis to a 700 V vertical double-diffused metal oxide semiconductor (VDMOS) device was done. Based on the Sentaurus TCAD simulation platform to do failure verification, the main failure reason of the breakdown voltage was found. During the process of improving the termination structure, through analyzing the current density, electric field, electrostatic potential and space charge models of the termination structure, field plates (FP) problems that results in shortage of breakdown voltage were further discovered and an effective improvement was presented. Finally, after optimization, a reliable termination with a 770 V breakdown voltage and fairly uniform silicon surface electric field was obtained.

Key words: vertical double-diffused metal oxide semiconductor; failure analysis; emission microscopy; termination structure

1 引言

垂直双扩散金属氧化物半导体(vertical double-diffused metal oxide semiconductor, VDMOS)器件作为功率器件家族的重要一员,大量应用于开关电源、车用电子、光伏照明等市场,目前,700 V 以上功率 MOS 已开始量产。终端结构设计是 VDMOS 耐压的关键,多场限环(MFFLRs)结构是目前终端设计常用方法之一^[1],但需结合场板来改善硅表面电场分布,提高可靠性^[2]。本文首先对一款 700 V

VDMOS 进行失效分析,在 Sentaurus TCAD 仿真平台上进行仿真验证,确定失效原因。然后通过进一步仿真对终端结构进行改进和优化,得到耐压合格,可靠性更强的终端结构。

2 失效分析与仿真验证

2.1 失效分析

芯片失效分析的一般步骤如下:外观检查→非破坏性分析→电测→定位分析→破坏性分析→失效

收稿日期:2014-04-30;修回日期:2014-05-26

基金项目:国家自然科学基金项目(61271090);国家高技术研究发展计划(“八六三”计划)重大项目(2012AA012305)

原因确认^[3]. 其中, EMMI (Emission Microscopy, 微光显微镜) 是定位分析的有效工具^[4], 通过给样品 (sample) 施加反偏电压, 利用 pn 结电子与空穴复合产生的光子产生亮点, 检测漏电流所在的位置. SEM (Scanning Electron Microscope, 扫描式电子显微镜) 是样品材料分析、缺陷观察和精确尺寸测量的常用工具.

首先, 通过外观检查与非破坏性分析手段 (如 SAT 超声波探伤仪、X 射线等) 确定芯片无外观或内部结构损坏, 然后进行电测. 击穿电压测试结果显示, 芯片耐压在 334 V 和 361 V 之间, 没有达到设计要求. 从接下来的 EMMI 亮点定位分析图看到, 严重亮点位置在截止环区域, 如图 1(a)、图 1(b) 所示的样品上部终端区放大图. 对照 SEM 图 (图 2), 严重亮点位置对应最后一个场限环, 而 SEM 图上并没有发现此区域形貌的异常, 说明应该不是工艺缺陷造成的器件失效. 但是, 观察 SEM 图的场限环发现, 各场限环有穿通的迹象. 根据文献^[5], 场限环之间需要足够的间距才能使前一环承担一定电压, 且环间距有一最优值. 若场限环穿通, 会造成终端失去足够的耐压能力. 因此推测是场限环的穿通造成了终端击穿电压失效.

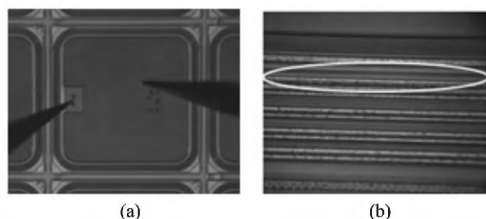


图1 EMMI 漏电流定位图

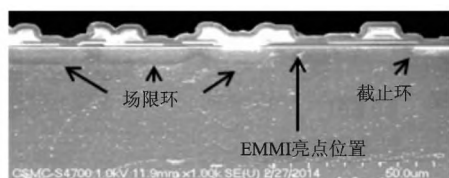


图2 漏电流位置剖面 SEM 图

2.2 仿真验证

为了确定失效分析的原因, 本文对样品终端结构进行仿真验证. 从静电势分布模型 (图 3) 看到, 不仅是场限环发生穿通, 主结和场限环都穿通了, 而且主结与场限环的电位相等, 说明场限环确实没有分担相应的电压, 与 2.1 节中推测一致. 从电流密度分布模型 (图 4) 看到, 最大漏电流位置在最后一环柱面结处, 与图 2 中的 EMMI 亮点位置对应, 但良好

的多场限环结构设计的击穿位置应该位于主结的柱面结处^[6], 这也说明样品终端结构有问题.

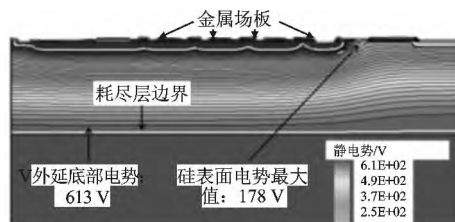


图3 样品终端静电势分布模型

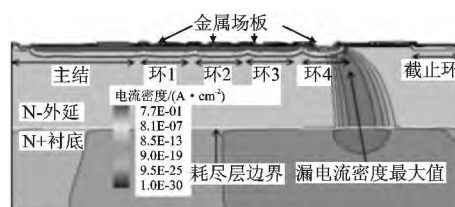


图4 样品终端电流密度分布模型

进一步观察图 3 发现, 外延的白色耗尽层边界没有正常收敛在硅表面, 而且几乎没有要收敛的趋势. 虽然外延底部电势能达到 613 V, 但收敛到最后一环与截止环之间的硅表面电势最大值只有 178 V, 耐压大部分集中在截止环及其下面的外延层上. 根据文献^[7], 截止环的作用是终止器件表面反型层, 并不起耐压作用, 且截止环的位置应该位于外延耗尽层边界之外. 实际生产时, 为了避免光刻时的误差, 截止环与耗尽层边界还应留有一段安全距离. 此外, 截止环也是晶圆上的切割道, 如果切割有左右偏差, 对终端的耐压也是有影响的. 因此, 要判断终端失效是否由场限环穿通造成, 应该首先排除截止环影响.

图 5 是将最后一环与截止环的间距增大 50 μm 仿真后的静电势分布模型. 从图中看到, 外延耗尽层边界正常收敛在硅表面, 终端没有受到截止环的影响. 但终端的耐压只有 412 V, 这表明, 即使不受截止环的影响, 穿通的场限环的耐压也不能达到要求.

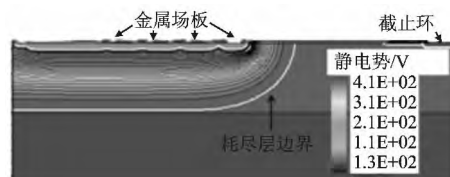


图5 增大场限环与截止环间距的终端静电势分布模型

综合以上仿真分析总结, 样品终端截止环的位置对终端耐压产生较大的影响; 终端设计的主要耐

压结构是场限环,场限环的穿通造成场限环耐压不足.因此,终端结构调整的第一步需要调整场限环的环宽和环间距.

3 结构优化

3.1 终端结构调整过程

多场限环结构的设计方法已经在很多论文中提到,根据文献[8-10],场环宽度应该由内向外逐渐减小,但要注意第一个环的宽度不能太小,环间距由内到外非线性增大.本文首先保持原始结构中的场板结构:多晶硅场板覆盖两环之间,金属场板与多晶硅场板开孔在多晶硅场板的中间并覆盖部分多晶硅场板.然后对环宽和环间距进行调整,增大环间距,减小环宽,同时,缩短截止环的场板,提高终端的利用率.

但是不管怎样调整环间距,都会出现 P 区耗尽层边界不正常收敛现象.比如图 6 所示的环间距与环宽结构,击穿时 P 区耗尽层边界左拐,收敛在多晶硅下面,而正常情况应该平滑收敛在 P 区内部边缘,而此结构的耐压不足 200 V.

进一步观察发现,这种多晶硅下 P 区耗尽层边界收敛不正常的位置是此终端结构最大碰撞电离率和最大电场分布位置,图 7(a)、(b)是此区域的放大模型图,说明这种结构击穿位置是在硅表面,硅表面出现了低击穿,这就不难解释击穿电压不足 200 V 的原因了.

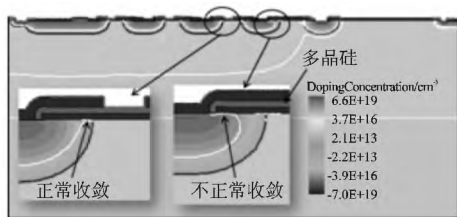


图 6 改变环宽和环间距后仿真模型

从此区域静电势分布模型(图 7(c))看到,多晶硅场板下电势线分布非常集中.空间电荷分布模型(图 7(d))显示,多晶硅场板左侧集中了大量正电荷,对应区域电子也非常集中,且电子沿着耗尽层边界分布.文献[11]中提到过,介质层的正电荷会增大耗尽层曲率和电场,导致击穿电压下降.因此可以推测:正是由于多晶硅场板左侧集中了大量正电荷,在硅表面吸引了大量电子,形成反型层, N-区的电子沿着硅表面将耗尽层边界往左往下推移,最终使 P 区耗尽层曲率过大,电势线集中,电场增大,硅表面发生提前击穿,击穿电压下降.因此,样品终端的场板结构也需要调整,以消除可动电荷的不良影响.

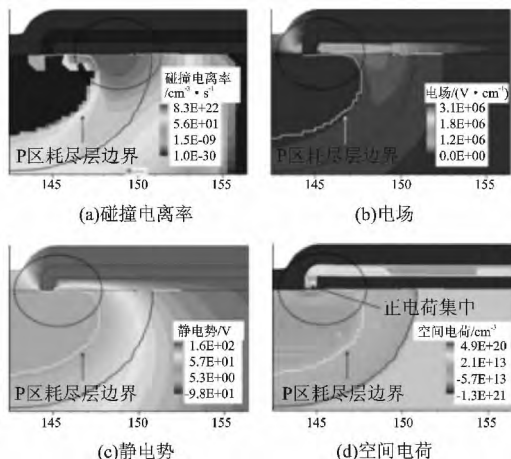


图 7 环 3 碰撞电离率、电场、静电势、空间电荷分布模型

在对样品终端场板结构变动较小的情况下,经过大量仿真后发现,消除可动电荷对终端的影响的有效方法是将金属场板与多晶硅场板的接触孔开在多晶硅场板左侧,与 P+区相连.这样如果多晶硅左侧集中了正电荷,金属场板可以将对应区域的硅表面电子吸引过去,与多晶硅场板左侧正电荷抵消,避免电荷集中的现象.如图 8 所示,多晶硅场板没有出现电荷的过度集中, P 区耗尽层边界良好收敛,说明改变接触孔位置后的场板结构能够有效抑制可动电荷在多晶硅场板的集中现象.

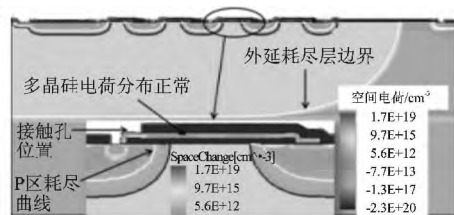


图 8 改变接触孔位置后空间电荷分布模型

然而,此结构耐压只有 479 V,主结与前三个环的总耐压不足 100 V,如图 9 所示;硅表面电场分布虽然均匀,但都太小;最后一环电场与耐压比主结和前三环都大得多.根据文献[12],场板太长对耐压的提高并没有帮助,甚至还会影响耐压的提升.所以,需要进一步缩短多晶硅场板的长度以提高主结与前三个环的耐压能力.

3.2 终端结构优化

经过 3.1 节中的分析,在不改变终端长度的情况下,本文对改变金属场板开孔位置、缩短多晶硅场板的终端结构进行进一步优化,最终得到一款耐压达到 770 V 的终端结构,结构模型如图 10 所示,掩膜参数如表 1 所示.

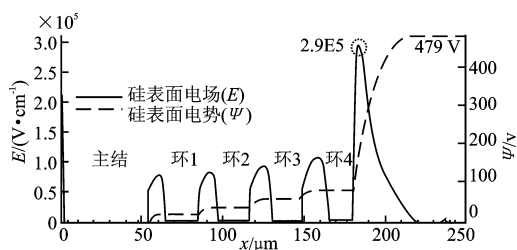


图9 改变接触孔位置后硅表面电场和静电势分布图

表1 优化终端结构参数

	P 阱宽度	间距	多晶硅场板	金属场板
主结	—	21	10.7	14
环1	11	22	11.2	14
环2	10	23	10.7	14
环3	10	25	11.2	14
环4	8	—	9	20

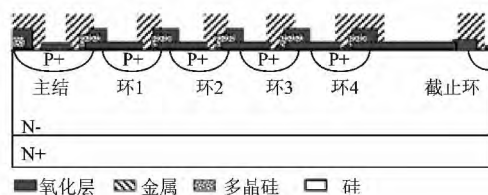


图10 优化终端结构模型

从图11可以看到,击穿时漏电流位于主结柱面结处,击穿位置良好;耗尽层边界收敛正常,且与截止环留有一段安全距离。

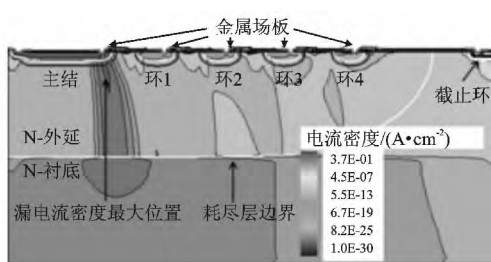


图11 优化终端电流密度分布模型

将此结构的硅表面电势和电场分布图12与图9对比,优化后,主结和前三环总耐压明显提升,达到500 V;硅表面电场分布非常均匀,最大值为 $2.11 \times 10^5 \text{ V} \cdot \text{cm}^{-1}$ 、最小值为 $2.04 \times 10^5 \text{ V} \cdot \text{cm}^{-1}$,可近似相等,这表明此结构的终端已优化得非常好了。

4 结束语

本文通过电测、EMMI漏电流定位与SEM形貌分析等手段,对一款700 V VDMOS芯片进行失

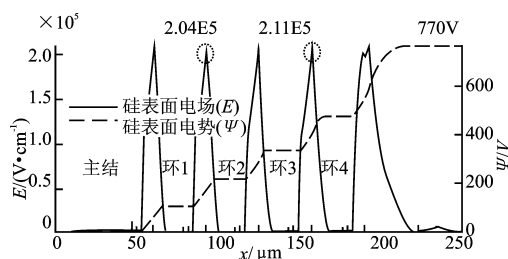


图12 优化终端硅表面电场和电势分布图

效分析,并基于Sentaurus TCAD仿真平台进行仿真验证,找到器件击穿电压失效的主要原因.然后结合理论与仿真模型分析,发现终端场板结构的问题并提出了有效改进办法.最后,通过增大环间距、减小环宽,改进场板设计,得到一款耐压770 V,能有效消除可移动电荷影响,硅表面电场非常均匀的可靠的终端结构。

参考文献:

- [1] Tam Wing-Shan, Siu Sik-Lam, Wong Oi-Ying, et al. Modeling of terminal ring structures for high-voltage power MOSFETs [J]. Microelectronics Reliability, 2012(52): 1645-1650.
- [2] De Souza, Subhas Chandra Bose, Sankara Narayanan, et al. Novel area efficient floating field limiting ring edge termination technique [J]. Solid-State Electronics, 2000(44): 1381-1386.
- [3] Khong B, Legros M, Tounsi P, et al. Characterization and modeling of ageing failures on power MOSFET devices [J]. Microelectronics Reliability, 2007 (47): 1735-1740.
- [4] 刘迪,顾晓峰,陆坚,等. 基于SIFT技术的集成电路失效缺陷分析[J]. 固体电子学研究与进展, 2012, 32 (4): 336-340.
- [5] 高嵩,石广源,王中文. 单场限环结构的表面电场分布及环间距的优化[J]. 微电子学与计算机, 2008, 25 (2): 114-118.
- [6] 刘驰,冯全源,叶乃仁. 一种500V终端结构的设计与优化[J]. 微电子学, 2012, 42(6): 870-873.
- [7] 陈星弼. 功率MOSFET与高压集成电路[M]. 南京: 东南大学出版社, 1999: 98-99.
- [8] Dong-Gun Bae, Sang-Koo Chung. An analytical model for punch-through limited breakdown voltage of planar junction with multiple floating field limiting rings [J]. Solid-State Electronics, 2000(44): 2109-2116.
- [9] Whight K R, Coe D J. Numerical analysis of multiple field limiting ring systems [J]. Solid-State Electronics, 1984, 27(11): 1021-1027.

(下转第93页)

储节点D、DB长期处中间电平,用所提方法将写字线展宽 t_{sc} 后,存储节点成功翻转;第二个时钟周期两个端口都进行写操作且时钟偏移为130 ps,对比两种方法的字线可知,后到达端口(B端口)的字线被延后,从而给先到达端口充分的写入时间,传统方法存储节点长期处于中间电平,而所提方法使存储节点在下一周期之前成功翻转;第三个周期两个端口都进行写操作,但时钟偏移大于 t_{sc} ,所以写字线未被延后,而此时两种方法都可将存储节点顺利翻转。

5 结束语

本文基于TSN28HPM工艺研究了双端口SRAM中的写干扰问题,利用写干扰的时钟偏移相关性,提出了一种写字线脉冲控制方法,经验证该方法可有效地解决写干扰,但额外的控制电路使时钟周期增加了约3%。该方法不适用于同步电路,故当两个端口的时钟充分接近时还需要对电路做进一步的改进。

参考文献:

- [1] Stolberg H-J, Moch S, Friebe L, et al. An SoC with two multimedia DSPs and a RISC core for video compression applications[C]// Digest of Technical Papers of Solid-State Circuits Conference ISSCC. [s. l.]: IEEE, 2004: 330-331.
 - [2] 陈亮,陈志良. 一种显示控制与驱动芯片中的高速双端口SRAM设计[J]. 微电子学与计算机, 2007, 24(1): 98-101
 - [3] Ishii Y, Fujiwara H, Tanaka S, et al. A 28 nm Dual-Port SRAM macro with screening circuitry against write-read disturb failure issues[J]. Journal of Solid-State Circuits, 2011(46): 2535-2544.
 - [4] Ishii Y, Fujiwara H, Nii K, et al. A 28-nm Dual-Port SRAM macro with active bitline equalizing circuitry against write disturb issue[C]// Symposium on VLSI Circuits, Austin, TX, US: IEEE, 2010: 99-100.
 - [5] Lien N-C, Chuang C-T, Wu W-R. Method for resolving simultaneous same-row access in dual-port 8T SRAM with asynchronous dual-clock operation[C]// International SoC Conference. [s. l.]: IEEE, 2013: 105-109.
- 作者简介:
杨琼华 男,(1989-),硕士研究生. 研究方向为嵌入式SRAM. E-mail: yangqionghuasmaibbox@126.com.
蒋江 男,(1973-),副教授,博士生导师. 研究方向为系统级芯片设计、多核/众核微体系结构、高性能加速器体系结构.
-
- (上接第89页)
- [10] 胡玉松,冯全源,陈晓培. 一款600V VDMOS终端结构的设计[J]. 微电子学与计算机, 2014, 31(6): 129-132.
 - [11] B. Jayant Baliga. 功率半导体器件基础[M]. 北京: 电子工业出版社, 2013: 70-71.
 - [12] Jin He, Xing Zhang. A semi-theoretical relationship between the breakdown voltage of field plate edge and field plate design in planar P - N junction terminated with finite field plate[J]. Microelectronics Journal, 2001(32): 763-767.
- 作者简介:
干红林 女,(1989-),硕士研究生. 研究方向为功率半导体器件.
冯全源 男,(1963-),博士,教授,博士生导师. 研究方向为数字、模拟和射频集成电路设计、功率半导体器件.
王丹 男,(1960-),博士,副教授,研究生导师. 研究方向为大可编程集成电路应用、电子电路、集成电路设计.